

**Toets 4.7 Propedeuse Electrical Engineering**  
**Woensdag 6-6-2012; 9.45 – 10.30 uur**  
**Onderdeel Digitale Systemen (EE1410) (± 22 minuten)**

Naam: Cijfer: Studienummer:      

*Bij deze toets mag je een boek over Digitale Systemen, een boek over VHDL en prints van de collegeslides erbij houden. De puntenverdeling is als volgt: vraag 1 (1.5), 2 (2), 3(1), 4(1.5) en 5(3), totaal 9 punten*

1. Gegeven de volgende Delta I assembly code:

		A	C
clr	C	XXXXXXXX	0
ld	00011110b	00011110b	0
st	R4	00011110b	0
ld	00001000b	00001000b	0
add	R4	00100110b	0
add	00000100b	00101010b	0

Laat rechts van de instructies zien wat de volgende waarde van de accumulator A is na die instructie. Wat is de uiteindelijke waarde van A ?  $00101010_B = 2A_H = 42$

2. Gegeven de volgende Delta I assembly code:

		A	C	Z
set	C	XXXXXXXX	1	X
ld	00000011b	00000011b	1	X
st	R3	00000011b	1	X
add	00000100b	00001000b	0	X
and	00011000b	00001000b	0	0
bz	1b1	00001000b	0	0
exor	00001111b	00000111b	0	0
1b1: add	00000010b	00001001b	0	0

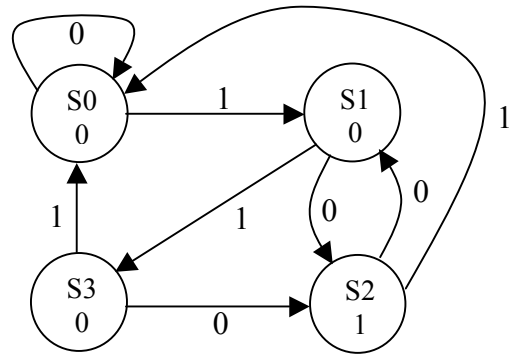
Laat rechts van de instructies zien wat de volgende waarde van de accumulator A is na die instructie. Wat is de uiteindelijke waarde van A ?  $00001001_B = 09_H = 9$

3. Gegeven een processor met 16 bits instructie woorden.  
5 bits van de instructie worden gebruikt voor de opcode.

Hoeveel verschillende instructies zijn maximaal mogelijk ?  $2^5 = 32$

Hoeveel verschillende geheugenplaatsen (registers) kunnen maximaal geadresseerd worden ?  
 $2^{11} = 2048$

4. Gegeven bijgaand Finite-State Diagram (Moore machine). Geef alle mogelijke ingangstreksen van 3 bits (laatste bit van de reeks rechts) welke door het circuit worden gedetecteerd met een uitgangssignaal gelijk aan 1.



010  
en  
110

5. Gegeven de volgende stukje VHDL code:

```

architecture een_schakeling_tb of een_schakeling is
  component comparator
    port (
      a : in bit_vector(1 downto 0);
      b : in bit_vector(1 downto 0);
      eq: out bit);
  end component;
  signal aa, bb, cc, dd : bit_vector(1 downto 0);
  signal eq1, eq2 : bit;
begin
  L1: comparator port map (aa, bb, eq1);
  L2: comparator port map (cc, dd, eq2);
  -- hieronder bevinden zich (niet weergegeven) de signal assignments
  van de signalen aa, bb, cc en dd die als input dienen van de twee
  componenten "under test".
end een_schakeling_tb;

configuration een_schakeling_tb_cfg of comparator_tb is
  for een_schakeling_tb
    for L1: comparator use entity work.comparator(snel);
    end for;
    for L2: comparator use entity work.comparator(langzaam);
    end for;
  end for;
end een_schakeling_tb_cfg;
  
```

a) Leg duidelijk uit wat bovenstaande configuratie code betekent.

- Er bestaat een entity/component "comparator" met minstens twee architecture-beschrijvingen genaamd "snel" en "langzaam".
- Voor het comparator-component met label L1 moet de "snel"-versie worden gebruikt.
- Voor het comparator-component met label L2 moet de "langzaam"-versie worden gebruikt.
- Beide architectuur-beschrijvingen zijn terug te vinden in de work-library.

b) Geef een geldige reden waarom het handig is om configuraties te gebruiken.

Dit om expliciete controle te hebben bij het testen of synthetiseren welke ontwerpen te gebruiken behorende bij dezelfde entity.