

Toets 4.3 Propedeuse Electrical Engineering
Woensdag 9-5-2012; 9.45 – 10.30 uur
Onderdeel Digitale Systemen (EE1410) (± 22 minuten)

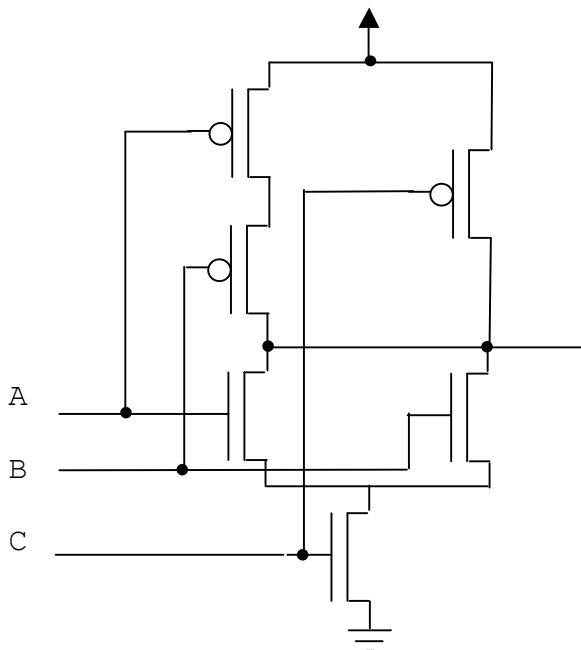
Naam:

Cijfer:

Studienummer:

Bij deze toets mag je een boek over Digitale Systemen, een boek over VHDL en prints van de collegeslides erbij houden. De puntenverdeling is als volgt: vraag 1 (1.5), 2 (2.5), 3(1.5), 4(1.5) en 5(2), totaal 9 punten

1. Welke logische functie wordt geïmplementeerd met de volgende CMOS schakeling:



F wordt 0 wanneer er via de NMOS een pad naar GND is. Dus wanneer C 1 is, en A 1 is of B 1 is.

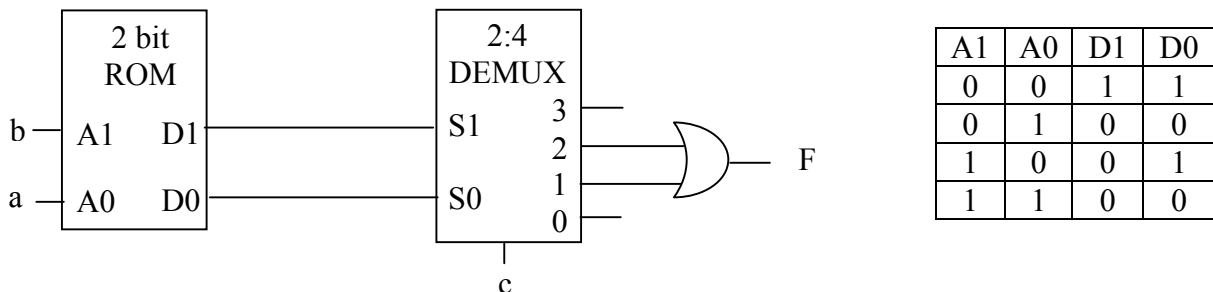
$$F = (C \cdot (A + B))'$$

$$= C' + (A + B)'$$

$$= C' + A'B'$$

(alle antwoorden worden goed gerekend)

2. Gegeven bijgaand circuit met de inhoud van de ROM gespecificeerd in de nevenstaande tabel:



Geef de expressies voor D0 en D1 en leid vervolgens de expressie af voor F

D0 = a'

D1 = a'b'

F = O1 + O2 = c (S0'.S1 + S0.S1')

= c (a.a'.b' + a'.(a'.b')) = 0 + c.a'.(a + b) = a'bc

Z.O.Z.

3. Gegeven de berekening $C = A - B$ in 2's complement notatie.
Er geldt $A = 000100$ en $B = 110101$.

Wat is de uitkomst in decimale notatie ?

$A = 4$.

B is negatief omdat het meest linkse bit van B 1 is. We kunnen de absolute waarde vinden door alle bits inverteren en dan plus 1. Dus de waarde is $-(001010 + 1)_2 = -11_{10}$
Het antwoord is dus $4 - (-11) = 15$ (er is geen overflow)

4. Gegeven de volgende stukje VHDL code:

```
architecture behavior of sig_var is
begin
L1: process
    variable var_s1, var_s2: std_logic;
    begin
        wait until (rising_edge(clk));
        var_s1 := x nand var_s2;
        var_s2 := var_s1 xor y;
        res <= var_s1 xor var_s2;
    end process;
end behavior;
```

Vraag: zal bij synthese van dit stukje VHDL code een combinatorisch netwerkje of een sequentieel netwerk worden gesynthetiseerd? Beredeneer je antwoord.

Er zal een sequentieel netwerk worden gesynthetiseerd omdat variabele var_s2 wordt gebruikt voordat het een waarde is toegekend binnen de process. Dit betekent dat de compiler zal zoeken naar de "vorige" waarde en dat betekent een geheugenelement.

5. Deze vraag bestaat uit *twee* deelvragen:
a: Bij het ontwerpen van digitale systemen is het aan te raden om expliciete reset-signalen te gebruiken - waarom is dit?

Hiermee wordt bereikt dat een systeem bij het afgeven van het reset-sigitaal (zoals bij het starten van het systeem) het altijd in een (begin)toestand bevindt (terecht komt) waarbij de start-waarden of condities van het systeem bekend zijn.

b: Bij het configureren van een FPGA is het aan te raden om de binnen je ontwerp gebruikte reset- en kloksignalen aan te sluiten op daarvoor bedoelde RESET en CLK pinnen van de chip. Leg uit waarom.

Deze pinnen zijn aangesloten op specifieke reset- en klok(sigitaal)-netwerken die op een bepaalde manier zijn "verspreid" om skewing van de signalen te verminderen. Als je de reset- en kloksignalen door je eigen combinatorische netwerk(en) laat lopen, dan kan bijv. door de vele (en verschillende) vertragingen je ontwerp ongewenste gedrag vertonen omdat het niet langer gegarandeerd is dat alle delen van je ontwerp nog synchroon lopen.